OA2-1

動的光再構成を用いたイメージセンサ

保田　真希　（指導教員：渡邊　実）
静岡大学　工学部

１．まえがき

近年，ロボットや自動車などに自律制御機能が要求されており，リアルタイムに画像処理が可能な組み込みシステムの開発が急務となっている．しかし，既存の組み込みシステムはイメージセンサと単一プロセッサから構成されることが多く，情報の転送と処理スピードに問題があった．リアルタイム画像処理には 1000 フレーム/秒以上の処理が必要であり，画像情報を転送することなく分散処理できることが望ましい．そのような背景からイメージセンサーとプロセッサやプロセッサアレイとを組み合わせたビジョンチップが開発されてきた[1]．しかし，プロセッサの処理スピードや得意とする処理の範囲が限定され，画像認識までも行えるようなビジョンチップは未だ開発されていない．

一方，近年，光再構成型ゲートアレイ(ORGA:Optically Reconfigurable Gate Array)[2]の開発が進められている．本デバイスはホログラムメモリ，レーザアレイ，ゲートアレイ VLSI から構成され，ナノ秒での高速動的再構成が可能である．また，本デバイスには多数のフォトダイオードが実装されており，それらを光再構成の目的以外のイメージセンシングにも使用する事が可能である．

そこで，我々は高速動的光再構成型イメージセンサの開発を進めている．本稿ではこの高速動的光再構成型イメージセンサの基本構成と簡単な平滑化の実装例を示す．

２．高速動的光再構成型イメージセンサ

図 1 に高速動的光再構成型イメージセンサの構成図を示す．高速動的光再構成型イメージセンサはレーザアレイ，ホログラムメモリ，ゲートアレイ VLSI，ビームスプリッタから構成される．以下の図ではレンズによる結像系は省略した．一方向からは動的再構成を行う回路情報，プロセッサの構成情報，パターンマッチング用のテンプレート情報などが供給され，他方からはレンズを介して画像が入力される．このような構成にすることで，入力された画像を転送することなく，動的に再構成されるプロセッサアレイやゲートアレイにより高速並列処理することが可能になる．また，ホログラムメモリの巨大な情報を活用することで，連想メモリのような機能実装も期待できる．

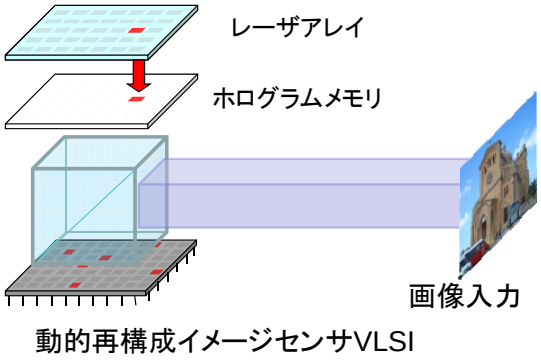

図 1：高速動的光再構成型イメージセンサ

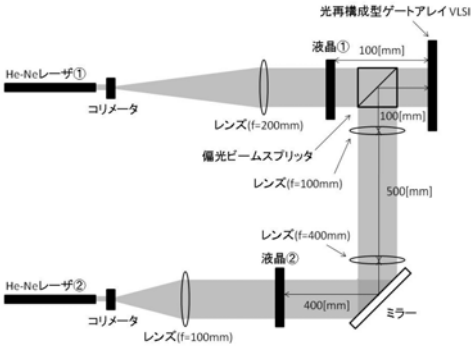

図 2：実験光学系

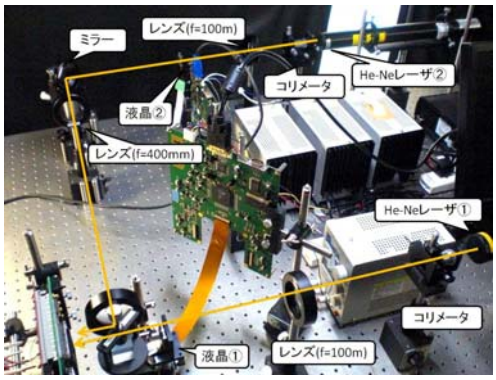

図 3：光学系写真

3．高速画像処理試験

図２に本試験で使用した光学系のブロック図を，光学系の写真を図３に示す．この度の試験では画像の入力にも，動的再構成用のホログラムの実装にも液晶空間光変調素子を用いた．光源には双方とも He-Ne レーザを使用した．ここでは平滑化処理を実行するカウンタ回路をホログラムに実装し，画像に相当する光点を他方から入力し，回路の実装と同時に画像の入力を行う試験を実施し，成功した．

４．まとめ

本試験において動的再構成型プロセッサの基本構造を示し，平滑化処理の実装までを実証した．

＜謝辞＞　本研究の一部は総務省・戦略的情報通信研究開発推進制度(SCOPE)の支援を受けて行われた．また，本研究に使用したチップは東京大学大規模集積システム設計教育研究センターを通し，ローム（株）および凸版印刷（株）の協力で試作されたものである．

参考文献

[1] T. Komuro, A. Iwashita, M. Ishikawa, "A QVGA-size Pixel-parallel Image Processor for 1,000-fps Vision, "IEEE Micro, vol. 29 no. 6, pp. 58-67 (2009)
[2] J. Mumbru, G. Panotopoulos, D. Psaltis, X. An, F. Mok, S. Ay, S. Barna, E. Fossum, "Optically Programmable Gate Array,"SPIE of Optics in Computing 2000, Vol. 4089, pp. 763-771,2000.
[3] 保田，渡邊，「動的光再構成を用いたイメージセンサ 」，画像工学研究会，3 月，2010.