OA2-3

アナログコンテキストを用いた光再構成の最適化手法

青山　裕司　（指導教員：渡邊　実）
静岡大学　工学部

１．まえがき

近年，光電子融合デバイスの研究[1]が進められており，我々は図1に示すようなホログラムメモリ内に大量の回路情報を蓄え，それらをプログラマブルゲートアレイに動的に実装可能な光再構成型ゲートアレイの研究を進めている[2]．この光再構成型ゲートアレイはレーザーアレイ，ホログラムメモリ，ゲートアレイVLSI の3つの要素で構成され，ナノ秒での高速なブログラムが可能である．このゲートアレイVLSIには回路情報を光学的に受け取るために多数のフォトダイオードが実装されているが、これらフォトダイオードにはプロセスのばらつきによる応答時間のばらつきが存在し，ホログラムメモリ他の光学部の影響も含めると、システム全体でのばらつきはそれよりもさらに大きくなる．回路の再構成はそれらのばらつきの中のワースト時間にて行う必要があり，これまで効率的な再構成ができていなかった．そこで、我々はホログラムメモリの計算に対し，これらばらつきの影響を相殺できるアナログ的なコンテキストを導入する補正手法を考案した[3][4]。この度は、その実証結果について報告する。

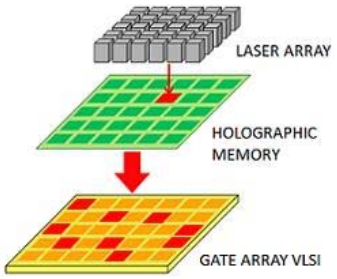

図1:光再構成型ゲートアレイ

２．ばらつきの計測

まず始めに，0.35μm－CMOSプロセスで作られたゲートアレイVLSIのフォトダイオードの応答時間のばらつきを測定した。本試験で用いた光学系の写真を図2に示す．8個分のフォトダイオードの応答時間のばらつきの測定結果を表1に示す．プロセスのばらつきにより，±10%程度の誤差が生じている．さらにホログラム部まで含めたシステム全体では表２に示すように、±56%の誤差が生じる．このシステム例にて再構成をする場合にはワーストケースである4218nsで再構成をせざるをえない．

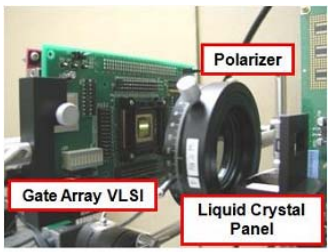

図2:光学系の写真

３．最適化

これらの応答時間のばらつきを，アナログコンテキストを用いて補正を行う手法を提案する．これまで，ホログラムは全ビット，均一な光パターンを生成できるように，1,0のバイナリコンテキストパターンから計算されていた．しかし，これでは前述のような大きなばらつきが生じるため，新しい手法では受光効率の悪いフォトダイオード部位のコンテキストにはそれに合わせて高い値を，受光効率の良いフォトダイオード部位には低い値を持つアナログのコンテキストパターンを導入することとした．計算手法は同じであるが，このようにアナログコンテキストを用いて有限なレーザのエネルギーを再分配することで，フォトダイオードに照射する光の強度を均一化することができる．図３に適用前後のコンテキストパターンを示す．結果，表３に示すように，当初±56%あった誤差はすべて0.5%以下にまで補正することができた．結果，従来の手法では4218ns あった再構成時間を 1385ns まで短縮することができた．これは，レーザパワーを一切上昇させることなく再構成速度を３倍高速化したこと，もしくは同再構成時間であれば，消費電力を 1/3 に削減できたことを意味する．

表1:各フォトダイオードの応答時間と誤差率

フォトダイオード	応答時間[ns]	誤差率[%]
1	93.5	-9.9
2	114	9.9
3	93.5	-9.9
4	103.5	-0.24
5	104	0.24
6	114	9.9
7	93.5	-9.9
8	93.5	-9.9

表2:光学系の誤差を含めた各フォトダイオードの応答時間と誤差率

フォトダイオード	応答時間[ns]	誤差率[%]
1	3281	21.6
2	1176.5	-56.4
3	2041	-24.3
4	1332.5	-50.6
5	1489	-44.8
6	2208	-18.1
7	1718.5	-36.2
8	4218	56.4

表3:最適化を行った時の各フォトダイオードの応答時間と誤差率

フォトダイオード	応答時間[ns]	誤差率[%]
1	1374	0.3
2	1374	0.3
3	1374	0.3
4	1374	0.3
5	1385	-0.5
6	1385	-0.5
7	1375	0.2
8	1385	-0.5

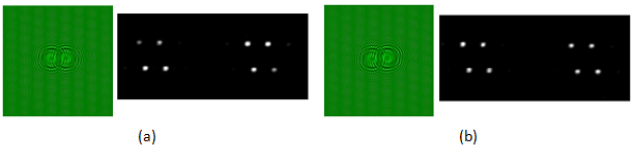

図3: (a)従来のホログラムとコンテキスト　(b)最適化したホログラムとアナログコンテキスト

４．まとめ

本稿ではアナログコンテキストを用いた光電子融合デバイスのばらつき補正手法を提案し，当初±56%近くあったフォトダイオードの応答時間のばらつきを，±0.5%以下にまで抑えることに成功した．結果，レーザパワーを上げることなく再構成速度を３倍に高速化できること，もしくは同じ再構成時間であれば消費電力を1/3に低減できることを実証した．

謝辞　本研究の一部は総務省・戦略的情報通信研究開発推進制度(SCOPE)の支援を受けて行われた．また，本研究に使用したチップは東京大学大規模集積システム設計教育研究センターを通し，ローム（株）および凸版印刷（株）の協力で試作されたものである．

参考文献

[1] J. Mumbru, G. Panotopoulos, D. Psaltis, X. An, F. Mok, S. Ay, S. Barna, E. Fossum, "Optically Programmable Gate Array," SPIE of Optics in Computing 2000, Vol. 4089, pp. 763--771, 2000.
[2] M. Nakajima, M. Watanabe, "A four-context optically differential reconfigurable gate array," IEEE/OSA Journal of Lightwave Technology, Vol. 27, No 24, 2009.
[3] 青山，渡邊，「アナログコンテキストを用いた光再構成の最適化手法」，信号処理研究会, vol. 109, no. 226, pp. 7-10, 10 月, 2009.
[4] 青山，渡邊，「アナログコンテクストを用いたフォトダイオード特性の補正手法」，VLSI 設計技術研究会, vol 109, no. 393, pp.171-174, 1 月, 2010.