OA2-4

明点ビット数の最小化による高速光再構成

森脇　烈　（指導教員：渡邊　実）

静岡大学　工学部　電気電子工学科

１．研究背景

近年，レーザアレイ，ホログラムメモリ，ゲートアレイ VLSI から成る光再構成型ゲートアレイ(ORGA:Optically Reconfigurable Gate Array)の開発が進められている[1]．光再構成型ゲートアレイはホログラムメモリの大容量性と光バスによる並列性により，大量の回路を高速にゲートアレイに実装する事が可能なデバイスである．これまでに 300mW のレーザを用いてナノ秒台での高速再構成試験結果が報告されている[2]．光再構成型ゲートアレイでは必要な時に必要な回路のみを実装する事で大規模並列処理を実現することから高速再構成の性能は重要である．一方で，高速再構成の為にレーザのパワーを上げると，消費電力，パッケージサイズの増大，クーリングシステムの必要性等問題も多い．そこで本稿ではレーザのパワーを上げることなく再構成の高速化が可能な，明点ビット数の最小化による高速再構成手法を提案し，試験的にその有効性を示す．

２．明点ビット数の最小化による高速化手法

光再構成型ゲートアレイでは 0,1 の 2 値の回路情報をホログラムメモリ内に記録している．ホログラムメモリからは 1 に相当するビットが明るく，0 に相当するビットが暗く読み出される．この時，1 に相当する明るい明点のビットの輝度値が再構成時間を決めることになる．ここで，ホログラムメモリから読み出される明点のビットの輝度値は，エネルギー保存の観点からも明白なように，その回路情報内に含まれる明点のビット数に反比例する．よって光再構成においては，もし，明点のビット数が削減できれば，より高速な再構成が可能になる．そこで明点ビット数を最小化できる回路実装を検討し，負論理の回路実装に着目した．例えば，OR 回路の実装には多数の明点が必要になるが，もし，NOR 回路+INV（インバータ）回路の実装を行うのであれば明点ビット数を削減できる．このように回路実装においては同一の回路をより少ない明点ビット数で実装する事が可能である．

３．再構成試験

図 1 のように光再構成型ゲートアレイを構築した．レーザ光源として波長 532nm 光強度約 300mW の半導体レーザ(torus 532:Laser Quautum Ltd.)を用い，ホログラムメモリには液晶空間光変調素子(セイコー社:L3D07U-81G00)を用いた．この空間光変調素子の画素数は 1920×1080 であり，1 画素のサイズは 8.5μm×8.5μm である．この光学系に図 2 のようなホログラムを実装した．本試験では，2 入力，3 入力，4 入力の OR 回路と，同 NOR 回路+INV 回路を実装し，再構成時間を測定した．その結果を図 3 に示す．結果，通常実装であれば平均 4.15μs の再構成時間が必要になる再構成を，1.99μs にまで短縮できることを確認した．

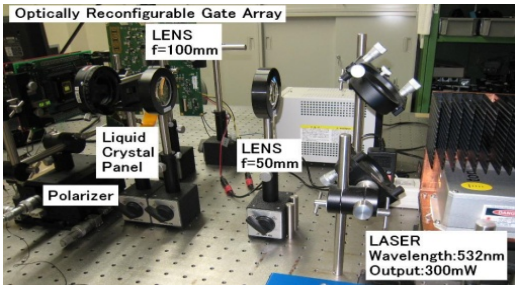

図１：再構成光学系

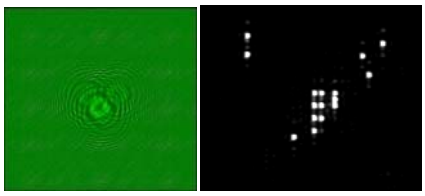

図２：3 入力 OR 回路のホログラム(左)と回路情報(右)

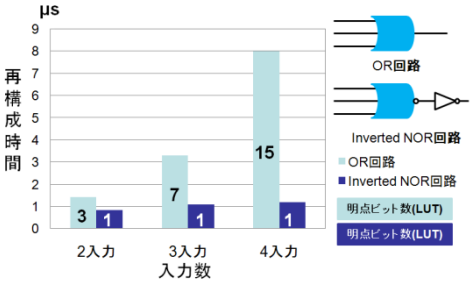

図３：OR 回路,NOR+INV 回路の再構成時間比較

４．まとめ

本試験では明点ビット数の最小化により，レーザパワーを一切上げることなく再構成の高速化を達成した．

謝辞　本研究の一部は総務省・戦略的情報通信研究開発推進制度(SCOPE)の支援を受けて行われた．また，本研究に使用したチップは東京大学大規模集積システム設計教育研究センターを通し，ローム(株)および凸版印刷(株)の協力で試作されたものである．

参考文献

[1] D. Seto, M. Watanabe,"A dynamic optically reconfigurable gate array - perfect emulation," IEEE Journal of Quantum Electronics, Vol. 44, Issue 5, pp. 493-500, May, 2008.

[2] 森脇，渡邊，”負論理回路実装による光再構成の高速化手法”,VLSI 設計技術研究会,vol 109, no. 201,　pp67-70, 9 月, 2009.

[3] R. Moriwaki, M. Watanabe,“An optical configuration acceleration method using negative logic implementation,”International Conference on EMERGING TRENDS IN ELECTRONIC AND PHOTONIC DEVICES & SYSTEMS, pp. 565-568, Dec., 2009.