P-5

断熱的 SRAM の評価と設計

古宮山　英明　（指導教員：高橋　康宏，関根　敏和）
岐阜大学　工学部　電気電子工学科

１．まえがき

システム LSI の分野において，組合わせ回路，順序回路およびメモリを設計すれば大抵の機能を備えた LSI を設計できる．システム LSI におけるメモリ回路の消費電力は，機能にもよるが，おおよそ全体の 1/3 を占める．ゆえに，メモリ回路の低消費電力化が極めて重要な課題である．そこで本研究では，代表的なメモリ回路である SRAM を断熱的論理で設計し，シミュレーションにより，消費電力の評価を行う．

２．SRAM 回路

２．１．概要

図 1(a)に基本的な SRAM である 6T-SRAM を示す．CMOS インバータのラッチからなる回路で，その節点の電位である x，$\bar{x}$ にデータを保存する．低消費電力で高速動作が可能な揮発性メモリであり，主にキャッシュなどに用いられる．

２．２．動作検証

すべての MOS のパラメータを L/W＝0.18μm/0.6μm，V_{DD}＝1.8V，初期状態x＝0V，$\bar{x}$＝1.8V とした．図 1(a)の回路に同図(b)の WL，BL，$\overline{BL}$ を入力し，消費エネルギーをシミュレーションより求めた．

書き込み時に 30 fJ のエネルギーを消費し，保存状態では消費していないことがわかる．

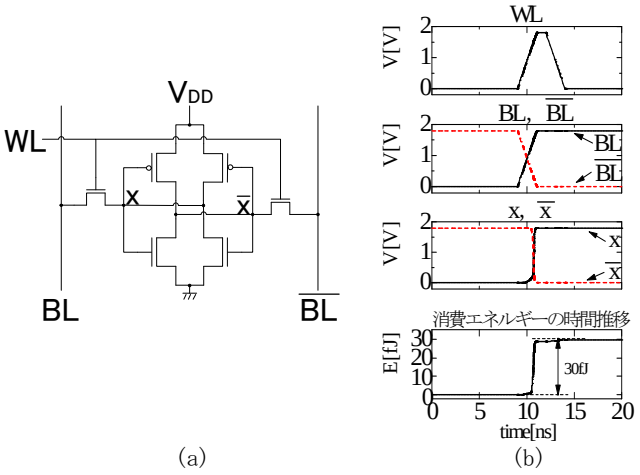

図１　(a)6T-SRAM と(b)その入出力波形

３．断熱的論理を用いた SRAM 回路

図 2 は電源線制御した SRAM である．MP1 は低抵抗 PMOS，MN1 は高抵抗 NMOS を用いる．まず，MP1，MN1 を制御し，MCPL の電位をなだらかに GND レベルまで変化させた後，高インピーダンスにする．その後，WL を HIGH，$\overline{WL}$ を LOW にして BL，$\overline{BL}$ を入力してデータを書き込む．電源線を制御することで貫通電流を減らし，電力消費を抑えることができる．

３．１．動作検証

MOS のパラメータを表 1 のようにとり，V_{DD}＝1.8V，R＝5MΩ，初期状態x＝0V，$\bar{x}$＝1.8V とした．S1，S2，WL，$\overline{WL}$，BL，$\overline{BL}$ を図 3 として入力し，消費エネルギーをシミュレーションより求めた．書き込み時の消費エネルギーを 12 fJ に抑えることができた．

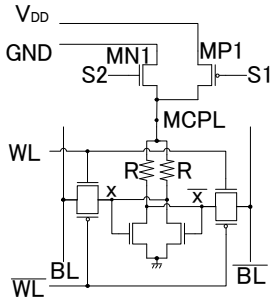

図２　電源線制御した SRAM

表１MOS のパラメータ

	L/W [μm/μm]	オン抵抗 [Ω]
MN1	1.0/0.18	6k
MP1	0.18/1.0	3.6
上記以外	0.18/0.6	

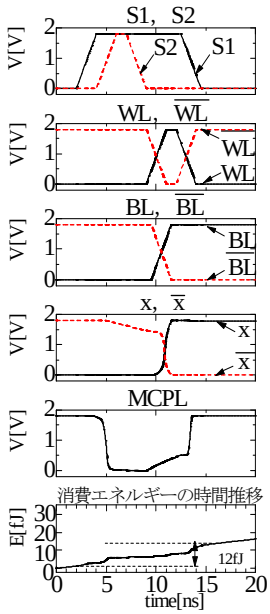

図３　図２の入出力波形

４．むすび

断熱的論理を用いた SRAM の評価と動作検証を行った．断熱動作をさせ，電源線を制御することで書き込み時の消費エネルギーを抑えられることがわかった．しかし，4T-SRAM を用いたため，書き込み時以外にも消費エネルギーが増えてしまう．これを解決するためには，抵抗値を高くすることで消費電力を抑えられるが，現実的ではないため他の改善策を考える必要がある．