

デジタル基板雑音が発振回路へ与える影響の解析

松岡 那樹 (指導教員: 和田 和千)
豊橋技術科学大学 情報工学課程

1. まえがき

素子雑音が発振回路の出力スペクトルの滲みである位相雑音となって現れることは明らかになっている[1][2].しかしその一方で,アナログ・デジタル混載集積回路においては,デジタル基板雑音により発生すると予想される位相雑音についても考えなければならない.そこで,リング発振回路と,雑音源であるデジタル回路,抵抗網による基板モデルを一つの系とし,そのネットリストをC言語プログラムで作ることで,シミュレーションを可能とする.

2. 解析する回路のモデル

(1) デジタル基板雑音

デジタル基板雑音はデジタル回路から発生する.現実的なデジタル回路をすべて同時にトランジスタレベルでシミュレーションするのは困難であるので,NOTゲートを縦続接続したインバータチェーンの初段に,ランダムに変化する2値信号を入力することで基板雑音を模擬する.

(2) 半導体基板のモデル

典型的なCMOSプロセスの誘電率,抵抗率を考えると,基板のモデルはクロック周波数が数GHz以下の回路において抵抗だけで表現できる[3].想定する基板の大きさは $450\mu\text{m} \times 450\mu\text{m} \times 100\mu\text{m}$ であり,図1のように表面上のx,y軸方向に9分割,深さz軸方向に2分割する.

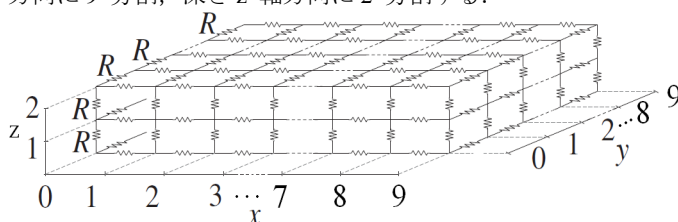


図1 抵抗網で作られた半導体基板モデル

(3) プログラムによるネットリストの作成

デジタル回路や半導体基板モデルの規模が大きくなると,回路データ(ネットリスト)を手動で作成することが困難であるため,C言語によってこれらを自動的に結線し,ネットリストを出力するプログラムを作成した.また,インバータチェーンに入力するランダムな2値信号系列もここで生成している.

3. シミュレーション結果・考察

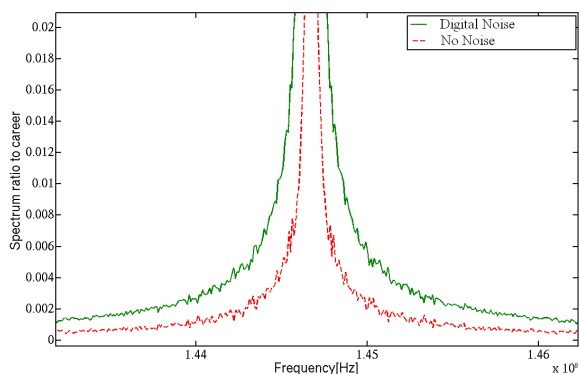


図2 基板雑音の有無 ガードリング無し

シミュレーションはガードリングの有無,基板雑音の有無に対して比較を行った.図2の基板雑音の有無による比較では,基板雑音が発振回路の位相雑音を増加させることがわかる.また,図3に,基板雑音があるときにガードリングの有無による変化を比較している.ガードリングが基板雑音を抑制し,位相雑音特性向上に有効であることが確認できる.また,リング発振回路内のMOSトランジスタのバルク端子の電位波形を示した図4からも,ガードリングが基板雑音の影響を抑制していることが確認できる.

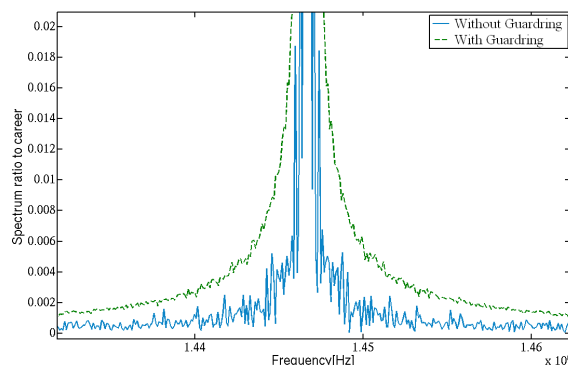


図3 ガードリングの有無 基板雑音有り

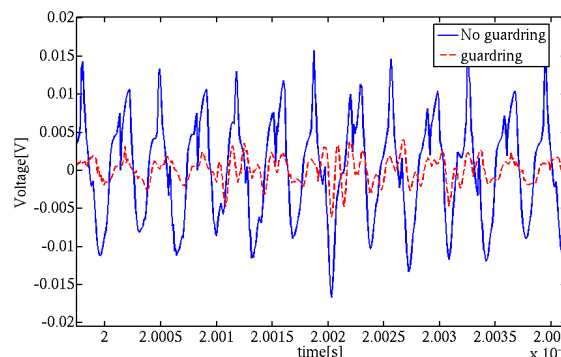


図4 リング発振回路のバルク端子波形

4. まとめ

デジタル基板雑音源,基板モデル,発振回路を統合したシミュレーションより,基板雑音があるときは発振回路の位相雑音が悪くなることが確認できた.また,ガードリングは発振回路の発振周波数の安定に有効であることが確認できた.今後はこれらの回路を実際に試作し,測定をすることで検証していく予定である.さらに,打消し回路を導入し,更なる基板雑音の抑制を行う.

参考文献

- [1] Ali Hajimiri, Thomas H. Lee, "A General Theory of Phase Noise in Electrical Oscillators" IEEE Journal of Solid-State Circuits, Vol.33, No.2 February 1998.
- [2] Thomas H. Lee, Ali Hajimiri, "Oscillator Phase Noise: A Tutorial" IEEE Journal of Solid-State Circuits, Vol.35, No.3 March 2000.
- [3] 鈴木寛人, "ミックスティングナル集積回路における基板雑音の打ち消し回路の研究"豊橋技術科学大学 博士学位論文, 2009年.